

ARCHITECTURE MATÉRIELLE DES SYSTÈMES MICROPROGRAMMÉS

I. Objectifs

- Savoir caractériser les bus d'adresses et de données.
- Savoir déterminer la taille mémoire d'un composant.
- Savoir déterminer les conditions de sélection d'un composant.
- Savoir dessiner et lire un plan mémoire.

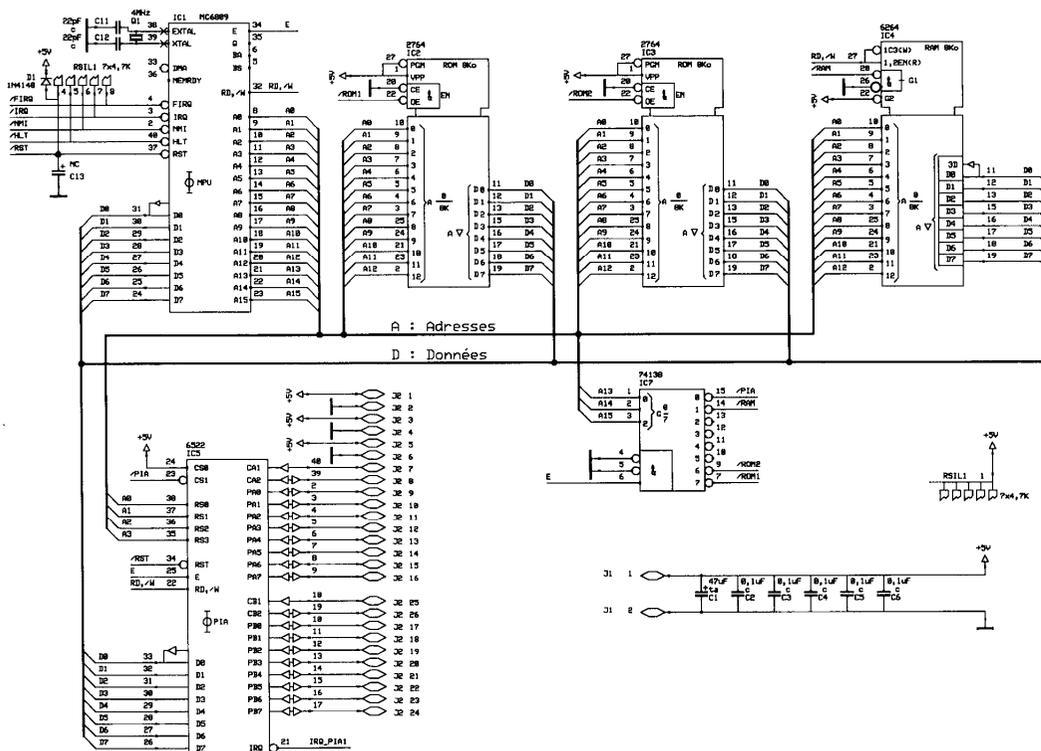
II. Constitution d'un système microprogrammé

Le système microprogrammé comporte deux éléments complémentaires indissociables :

- le programme qui décrit la gestion du processus industriel. Le programme doit impérativement s'adapter à l'architecture du circuit électronique qu'il est censé piloter.
- Le(s) circuit(s) électronique(s) qui héberge(nt) le programme et lui donne vie.

III. Exemple de système microprogrammé.

Un microcontrôleur peut contenir un système microprogrammé complet (ex : 68HC11 de Motorola). Il n'en est pas toujours ainsi et de nombreux systèmes sont assemblés de toutes pièces. Exemple de système microprogrammé constitué autour d'un microprocesseur MC6809 de Motorola :



IV. Fonctions constituant l'architecture matérielle

Dans tous les systèmes microprogrammés on retrouve des fonctions similaires :

- Une unité de calcul appelé MPU ou CPU.
- Une mémoire programme. Son contenu doit être conservé en dehors de toute alimentation. Très souvent elle n'est accessible qu'en lecture (ROM).
- Une mémoire des variables accessibles en lecture et en écriture (RAM) qui doit pouvoir recevoir les données du programme ainsi que la pile système.
- Des circuits d'entrées et de sorties, spécialisés dans la communication avec les circuits électroniques.
- Deux groupes d'équipotentielles caractéristiques appelés bus d'adresses et bus de données et un troisième groupe dédié au contrôle.

V. Bus de données, bus de contrôle et bus d'adresses.

Un bus est un ensemble de fils destiné à la communication entre les différents circuits. Il est représenté par un trait gras. Les équipotentielles qui rentrent dans un bus ne sont pas reliées aux autres. Par contre, toutes les équipotentielles portant la même référence sont reliées entre elles.

Sur le schéma ci-contre on distingue nettement deux bus : le bus d'adresses et le bus de données. Les informations qui circulent sur les bus sont numériques.

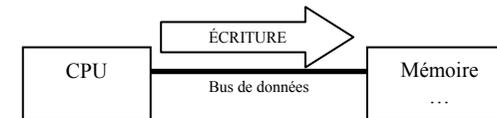
A. Le bus de données

Le bus de données du schéma ci-contre est constitué de 8 équipotentielles, c'est donc un bus 8 bits. Les bits de ce bus sont repérés de D7 à D0.

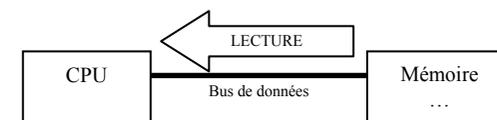
- Colorier en rouge le bus de données sur le schéma ci-contre.
- Le nombre de valeurs possibles sur le bus de données est $2^8 = 256$.

Les valeurs transportées par le bus de données sont échangées entre le microprocesseur et un autre composant. Les données peuvent transiter dans un sens ou dans l'autre, le bus est dit bidirectionnel.

Lorsque les données vont du microprocesseur au composant cela est appelé une *écriture* (le microprocesseur écrit une donnée dans une case mémoire ou dans un registre).



Lorsque les données vont du composant au microprocesseur cela est appelé une *lecture* (le microprocesseur lit une donnée dans une case mémoire ou dans un registre).



B. Le bus de contrôle

Le bus de contrôle est souvent composé des fils suivants :

- CS (Chip Select) ou CE(Chip Enable) : Permet de signaler que le composant est sélectionné et que les ordres qu'il reçoit sur les autres fils lui sont destinés. Cette entrée est généralement active au niveau bas.
- OE (Output Enable) : Permet de demander au composant de valider ses sorties, car les fils de données ont en général la particularité d'être à trois états (niveau bas, niveau haut ou haute impédance). Cette entrée est généralement active au niveau bas.
- RD/W (ReaD/Write) : Permet au microprocesseur d'informer un composant de la nature de l'échange : lecture ou écriture. La dénomination RD/W a pour signification :
 - RD : ReaD, accès en lecture lorsque ce fil est à l'état 1.
 - /W : Write, accès en écriture lorsque l'état est 0.

➤ Les composants qui sont reliés au bus de données et qui sont reliés à RD/W sont accessibles en lecture et en écriture. Quels sont ces composants ?

IC4 (RAM) et IC5 (PIA : interface parallèle).

➤ Les composants qui sont reliés au bus de données et qui ne sont pas reliés à RD/W sont en lecture seulement. Quels sont ces composants ?

IC2 et IC3 (ROM)

C. Le bus d'adresses

Le bus d'adresses du schéma de la page 1 est constitué de 16 équipotentielles, c'est donc un bus 16 bits. Les bits de ce bus sont repérés de A15 à A0.

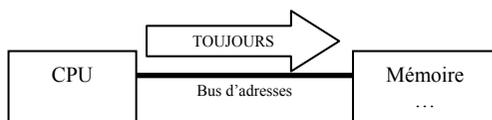
- Colorier en vert le bus d'adresse du schéma.
- Le nombre d'adresses possibles est $2^{16} = 65536$. Il est donc possible d'adresser 65536 cases mémoires de 8 bits (taille du bus de données).
- La première adresse s'écrit :

$$(0000\ 0000\ 0000\ 0000)_2 = (0000)_{16}$$

La dernière adresse s'écrit :

$$(1111\ 1111\ 1111\ 1111)_2 = (FFFF)_{16}$$

Ce bus n'est pas bidirectionnel. Il est en sortie pour le microprocesseur, c'est lui qui décide de l'adresse, il est en entrée pour les autres composants.



VI. Capacité mémoire d'un composant

A. Rappel de définitions

- BIT : élément binaire (BINARY digiT) qui peut prendre deux états : 0 ou 1.
- MOT BINAIRE : groupe d'états binaires (fils d'adresses, de données, contenu...) représentant un nombre en base 2.
- OCTET : mot binaire de huit bits (se dit BYTE en anglo-saxon).
- POIDS BINAIRE : valeur associée au rang d'un chiffre dans le nombre en base 2.
- MSB (Most Significant Bit) : bit de poids le plus fort du nombre.
- LSB (Least Significant Bit) : bit de poids le plus faible du nombre.
- KILO-x : dans le jargon informatique c'est une sous unité de x qui ne vaut pas 1000 unités x mais $1024 \times (1024 = 2^{10})$.

B. Calcul de capacité mémoire

La capacité mémoire est le nombre de cases mémoires de 1 bit contenu dans un composant mémoire. Soit *a* le nombre de fils d'adresses et *d* le nombre de fils de données.

		Bus de données de <i>d</i> fils						
		Bus d'adresses de <i>a</i> fils						
		D _{d-1}	...	D ₄	D ₃	D ₂	D ₁	D ₀
2 ^a adresses différentes	0000 ... 0000 0000	X	X	X	X	X	X	X
	0000 ... 0000 0001	X	X	X	X	X	X	X
	0000 ... 0000 0010	X	X	X	X	X	X	X

	1111 ... 1111 1111	X	X	X	X	X	X	X

Il suffit de calculer le nombre de cases mémoires de 1 bit.

- Puisque le nombre d'adresses est 2^a et qu'à chaque adresse correspond *d* bits de données, la capacité d'une mémoire est $d \times 2^a$
- Soit en kilo-bits : $d \times 2^a / 1024 = d \times 2^a / 2^{10} = d \times 2^{a-10}$
- Soit en octets : $d \times 2^a / 8$ (2^a pour un bus de donnée de 8 bits)
- Soit en kilo-octets : $d \times 2^a / (8 \times 1024)$ (2^{a-10} pour un bus de donnée de 8 bits)

Exemple : Pour le système à microprocesseur de la page précédente, donner la capacité mémoire des composants 2764 (ROM) :

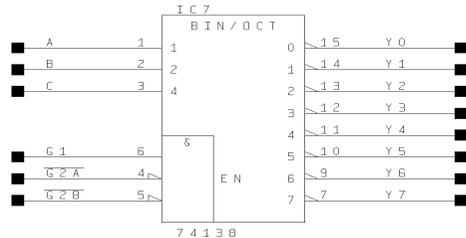
- En nombre d'octets : $2^{13} = 8192$ octets (2^a car bus de donnée de 8 bits)
- En nombre de kilo-octets : $2^3 = 8$ kilo-octets (2^{a-10} car bus de donnée de 8 bits)
- En nombre de bits : $8 \times 2^{13} = 65536$ bits
- En nombre de kilo-bits : $8 \times 2^3 = 64$ kilo-bits
- Que peut-on dire de la capacité mémoire du composant 6264 (RAM) ?

Il a la même capacité mémoire car il a les même nombre de fils d'adresses et de données.

VII. Décodage d'adresses

Chaque composant d'une carte microprogrammée doit être accessible par le CPU. Par exemple, si le CPU est en train de sauvegarder une variable, il faut que le composant RAM soit sélectionné et que les autres composants soient inhibés. Afin d'ordonner le système, une *plage d'adresses* est réservée à chaque composant. La fonction ayant pour tâche l'attribution des adresses s'appelle « *décodage d'adresses* ».

Dans l'exemple donné en première page, le décodage d'adresses est réalisé par un circuit spécialisé : un décodeur-démultiplexeur 3 vers 8 (74138).



➤ Compléter la table de vérité du 74138 à l'aide de votre Mémotech.

Entrées					Sortie							
Valid		Sélect.										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

* G2 = /G2A + /G2B

➤ D'après la représentation normalisée des composants IC2, IC3, IC4 et IC5, quels doivent être les niveaux logiques présents sur /ROM1, /ROM2, /RAM et /PIA pour que :

- Seul IC2 soit sélectionné : /ROM1 = 0, /ROM2 = 1, /RAM = 1 et /PIA = 1
- Seul IC3 soit sélectionné : /ROM1 = 1, /ROM2 = 0, /RAM = 1 et /PIA = 1
- Seul IC4 soit sélectionné : /ROM1 = 1, /ROM2 = 1, /RAM = 0 et /PIA = 1
- Seul IC5 soit sélectionné : /ROM1 = 1, /ROM2 = 1, /RAM = 1 et /PIA = 0

➤ Déduire de la table de vérité du 74138 et des résultats précédents les niveaux logiques que devra appliquer le CPU sur A13, A14 et A15 pour sélectionner :

- Le composant PIA IC5 : A13 = 0, A14 = 0 et A15 = 0
- Le composant RAM IC4 : A13 = 1, A14 = 0 et A15 = 0
- Le composant ROM2 IC3 : A13 = 0, A14 = 1 et A15 = 1
- Le composant ROM1 IC2 : A13 = 1, A14 = 1 et A15 = 1

On remarque que les lignes d'adresses de poids plus faibles (A12, A11... A0) ne participent pas à la sélection des composants. À chaque combinaison {A15 ; A14 ; A13} correspond tout un ensemble d'adresses.

➤ Compléter le tableau suivant selon l'exemple.

Composant sélectionné		Bits d'adresses														Code hexadécimal			
		A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2		A1	A0	
IC5 (PIA)	Première adresse	0	0	0	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0000
	Dernière adresse	0	0	0	X	X	X	X	X	X	X	X	X	X	1	1	1	1	000F
IC4 (RAM)	Première adresse	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	2000
	Dernière adresse	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	3FFF
IC3 (ROM2)	Première adresse	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C000
	Dernière adresse	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	DFFF
IC2 (ROM1)	Première adresse	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	E000
	Dernière adresse	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	FFFF

La taille d'une plage d'adresses de sélection est tout simplement le nombre d'adresses que l'on peut écrire entre sa première et sa dernière adresse (comprise).

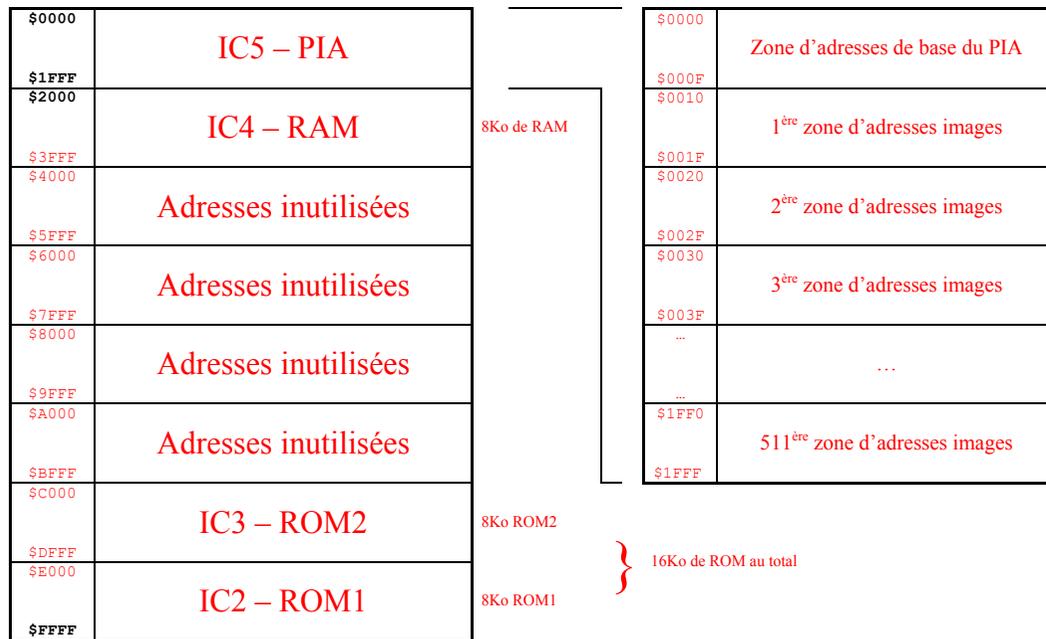
➤ La taille de la plage d'adresses sélectionnée par /ROM1 est 2¹³ (car 13 fils d'adresses ne participent pas au décodage.)

La taille de la plage d'adresses sélectionnée par /PIA est également 2^{13} pourtant il n'y a que 2^4 adresses effectives pour le composant PIA. En effet seuls A0, A1, A2 et A3 sont reliés à ce composant, les fils A4 à A12 sont donc indifférents. On peut sélectionner chaque adresse du PIA indifféremment avec les 2^9 combinaisons de A4 à A12. On dit que ce composant à 2^9 adresses images et qu'il s'agit d'un *décodage partiel*. Pour les autres composants de la carte, tout le bus d'adresses est utilisé, il s'agit donc d'un *décodage complet*.

Remarque: Le décodage d'adresse n'est pas forcément réalisé par un décodeur-démultiplexeur. Il peut être également effectué par un logigramme ou un circuit logique programmable (voir TD).

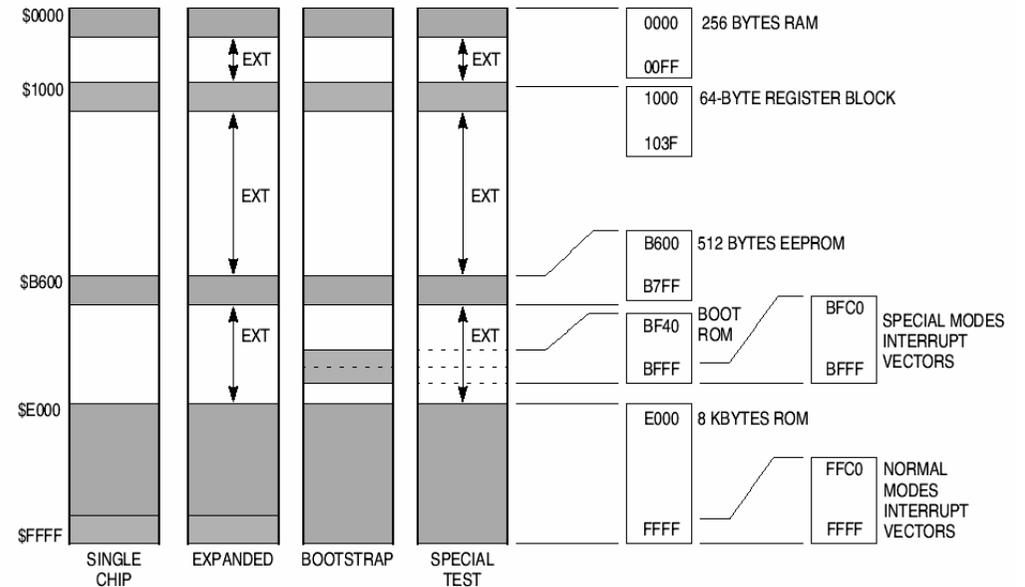
VIII. Plan mémoire

C'est une représentation graphique, un plan mémoire (en anglais *memory map*), de ce que le microprocesseur est susceptible de trouver à telle ou telle adresse. Le plan mémoire est la traduction graphique du décodage d'adresses.



Plan mémoire d'un système à 6809

Application: La représentation ci-contre est le plan mémoire du microcontrôleur 68HC11A8 de Motorola.



➤ Quelles sont les adresses de début et de fin de la zone de RAM ? La zone RAM comporte combien d'adresses ?

Adresse de début : \$0000

Adresse de fin : \$00FF

Soit 256 adresses (donc 256 octets car c'est un microcontrôleur 8 bits).

➤ Quelles sont les adresses de début et de fin de la zone de EEPROM ? La zone EEPROM comporte combien d'adresses ?

Adresse de début : \$B600

Adresse de fin : \$B7FF

Soit 512 adresses (donc 512 octets car c'est un microcontrôleur 8 bits).

➤ Quelles sont les adresses de début et de fin de la zone de ROM (En dehors de la zone INTERRUPT VECTORS) ? La zone ROM comporte combien d'adresses ?

Adresse de début : \$E000

Adresse de fin : \$FFBF

Soit 8128 adresses (donc 8128 octets car c'est un microcontrôleur 8 bits).